**Análise e Síntese de Funções Combinacionais de uma Única Saída**



**Laboratório 01**

**EEA-21 Circuitos Digitais**

**Comp21**

# Adriano Soares Rodrigues e Matheus Vidal de Menezes

Prof.º Osamu Saotome

Instituto Tecnológico de Aeronáutica (ITA)

São José dos Campos, São Paulo, Brasil.

{sadrianorod, matheusvidaldemenezes}@gmail.com

1. **Introdução**

No início do século XX, John Ambrose Fleming criou a primeira válvula termiônica, dispositivo que alavancou a eletrônica e o rumo do desenvolvimento tecnológico: possibilitando a criação do rádio e também de televisores. As válvulas termiônicas consistem basicamente por um invólucro de vidro, metal ou cerâmica a vácuo ou com algum tipo de gás. No interior das válvulas tem-se vários elementos metálicos internos chamados de anodo, catodo, grade e filamento conforme retratado na Figura 1.



Figura 1. Exemplo de válvula termiônica com filamento de 12V e base de 7 pinos.

Após o advento das válvulas termiónicas, foram desenvolvidos os transístores, representados na Figura 2, que são basicamente semicondutores capazes de desempenhar a mesma função de uma válvula, *i.e.*, controlar o fluxo de corrente, entretanto sem dissipar tanto calor, sendo menor e mais econômico. Por conta do sucesso da substituição das válvulas, estas tiveram sua produção em larga escala interrompidas.



Figura 2. Réplica do primeiro transístor, inventado no Bell Labs, 23 de dezembro, 1947 (Foto: Reprodução/Wikipédia).

É importante salientar também que, com o progresso tecnológico dos transístores, criou-se a famosa família de circuitos integrados TTL, Transistor-Transistor Logic, responsáveis pelo desenvolvimento de portas lógicas, que, na verdade, são circuitos transistorizados, tecnologia essencial para o surgimento dos computadores pessoais (Personal Computer - PC) de hoje.

1. **Objetivo**

Diante desse breve contexto histórico, o objetivo da primeira prática laboratorial de EEA-21 Circuitos Digitais mostra-se de grande importância. Isso, porque trata da familiarização das portas lógicas estudadas teoricamente e do aprendizado quanto a utilização destas em simulações, via o *software* *Quartus*® *13.01*, de circuitos básicos como detector de Fibonacci, bem como aqueles a base de multiplexadores.

1. **Tarefas**

**Problema 4.1)**

Entrada : 4 bits 🡪 O intervalo de valores possíveis é dado por [0, 15]

Pelo enunciado, temos

Em seguida, obtém-se a seguinte Tabela Verdade abaixo para esta questão.

Tabela 1. Tabela lógica, ou tabela verdade, referente ao problema 4.1 que possui X0, X1, X2 e X3 como entradas e F como saída onde se o número inserido pertencer ao conjunto de Fibonacci retorna 1, caso contrário retorna 0.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **D** | **F** |
| 0 | 0 | 0 | 0 | **0** |
| 0 | 0 | 0 | 1 | **1** |
| 0 | 0 | 1 | 0 | **1** |
| 0 | 0 | 1 | 1 | **1** |
| 0 | 1 | 0 | 0 | **0** |
| 0 | 1 | 0 | 1 | **1** |
| 0 | 1 | 1 | 0 | **0** |
| 0 | 1 | 1 | 1 | **0** |
| 1 | 0 | 0 | 0 | **1** |
| 1 | 0 | 0 | 1 | **0** |
| 1 | 0 | 1 | 0 | **0** |
| 1 | 0 | 1 | 1 | **0** |
| 1 | 1 | 0 | 0 | **0** |
| 1 | 1 | 0 | 1 | **1** |
| 1 | 1 | 1 | 0 | **0** |
| 1 | 1 | 1 | 1 | **0** |

Por meio dos resultados obtidos por F, montamos o mapa de Karnaugh mostrado na Tabela 2 com o intuito de simplificar a expressão algébrica lógica dada pela Eq. 1.

Tabela 2. Mapa de Karnaugh onde as linhas com dois dígitos representam X1X0 e as colunas representam X3X2.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **X3X2**  **X1X0** | **00** | **01** | **11** | **10** |
| **00** | 0 | 0 | 0 | **1** |
| **01** | **1** | **1** | **1** | 0 |
| **11** | **1** | 0 | 0 | 0 |
| **10** | **1** | 0 | 0 | 0 |

(1)

Assim, com o auxílio do software *Quartus*® *13.01*, obtemos o circuito digital dado pela Figura 3.

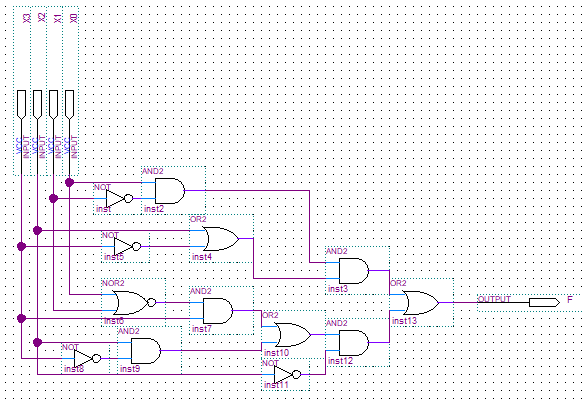


Figura 3. Descreve o circuito que exerce a função de detector de números pertencentes ao conjunto de Fibonacci no intervalo de 4 bits, em decimais de [0; 15], indicando 1 se pertence e 0 no caso negativo.

Após a compilação do sistema, obtemos o diagrama de temporização para o período dos oito valores possíveis. Nota-se, ainda, que o padrão do sinal de saída F corresponde ao obtido pela tabela verdade (Tabela 1), de modo que se conclui que está de acordo com o esperado.

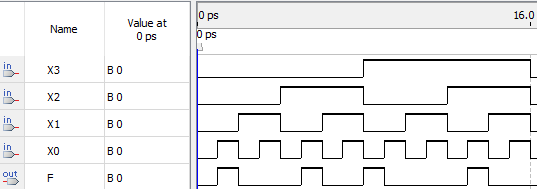


Figura 4. Diagrama de temporização para o circuito estudado e descrito na Figura 3.

**Problema 4.2)**



Para determinarmos a expressão lógica simplificada do circuito da Figura 5 lançaremos mão do método algébrico, com o auxílio dos Teoremas de De Morgan.

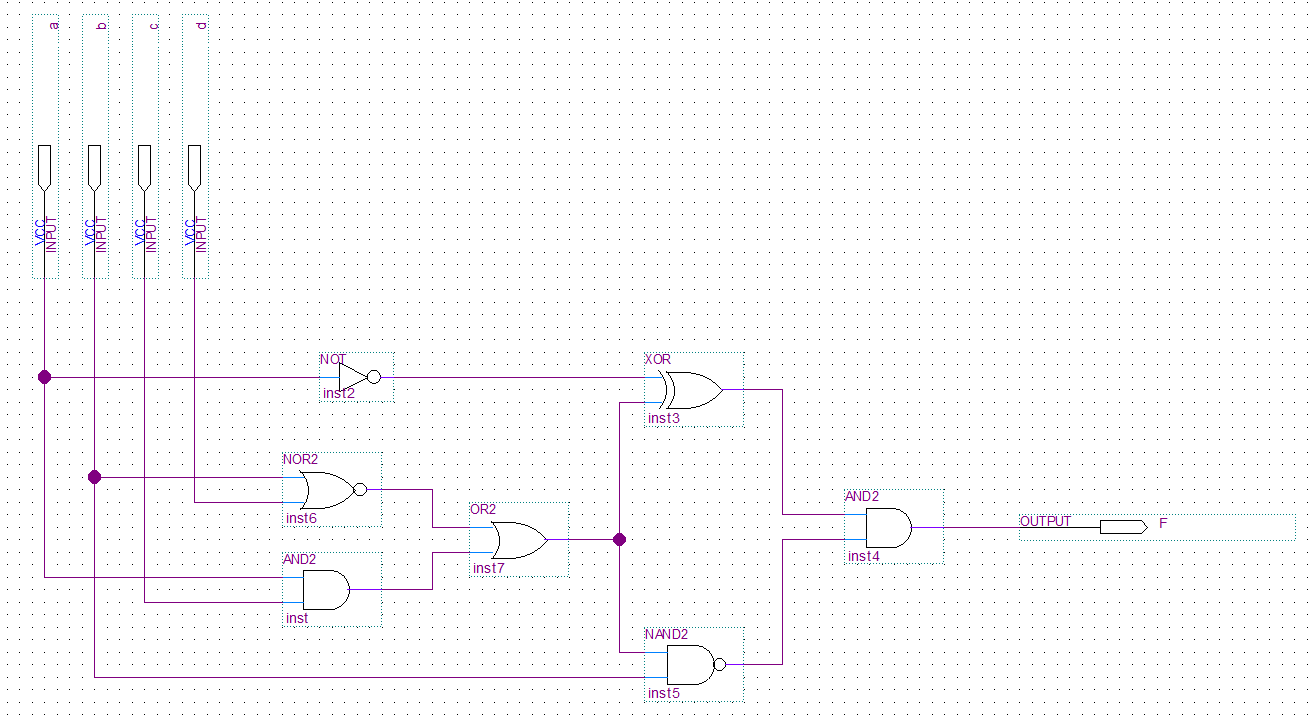


Figura 5. Circuito do problema 4.2 a ser simulado e simplificado.

Observe, na Figura 5, que o resultado da saída é dado por . Para tanto, vamos simplificar primeiramente X, vide Eq. 6 e, em seguida, Y, vide Eq. 12.

Para X, temos:

(2)

(3)

(4)

(5)

(6)

Note que a simplificação para X já é mínima, dado o Mapa de Karnaugh mostrado na Tabela 3.

Tabela 3. Mapa de Karnaugh para a simplificação da variável X definida na Figura 5 do circuito dado no problema 4.2.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **ab**  **cd** | **00** | **01** | **11** | **10** |
| **00** | 0 | **1** | 0 | **1** |
| **01** | **1** | **1** | 0 | **1** |
| **11** | **1** | **1** | **1** | **1** |
| **10** | 0 | **1** | **1** | **1** |

Para Y, temos:

(7)

(8)

Note que a simplificação para Y já é mínima, dado o Mapa de Karnaugh mostrado na Tabela 4.

Tabela 4. Mapa de Karnaugh para a simplificação da variável X definida na Figura 5 do circuito dado no problema 4.2.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **ab**  **cd** | **00** | **01** | **11** | **10** |
| **00** | **1** | **1** | **1** | **1** |
| **01** | **1** | **1** | **1** | **1** |
| **11** | **1** | **1** | 0 | **1** |
| **10** | **1** | **1** | 0 | **1** |

Então, a expressão lógica simplificada é dada pela Eq. 11.

(9)

(10)

(11)



Após a compilação e da simulação do sistema, obtemos o diagrama de temporização, conforme a Figura 6.

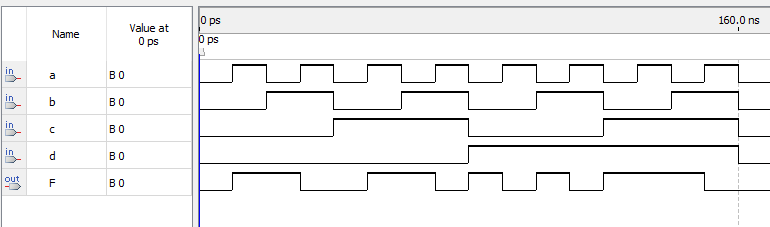


Figura 6. Diagrama de Temporização para o circuito dado no problema 4.2.



A partir do resultado obtido pela simplificação do circuito representada pela Eq. 11, construímos o circuito, conforme a Figura 7.

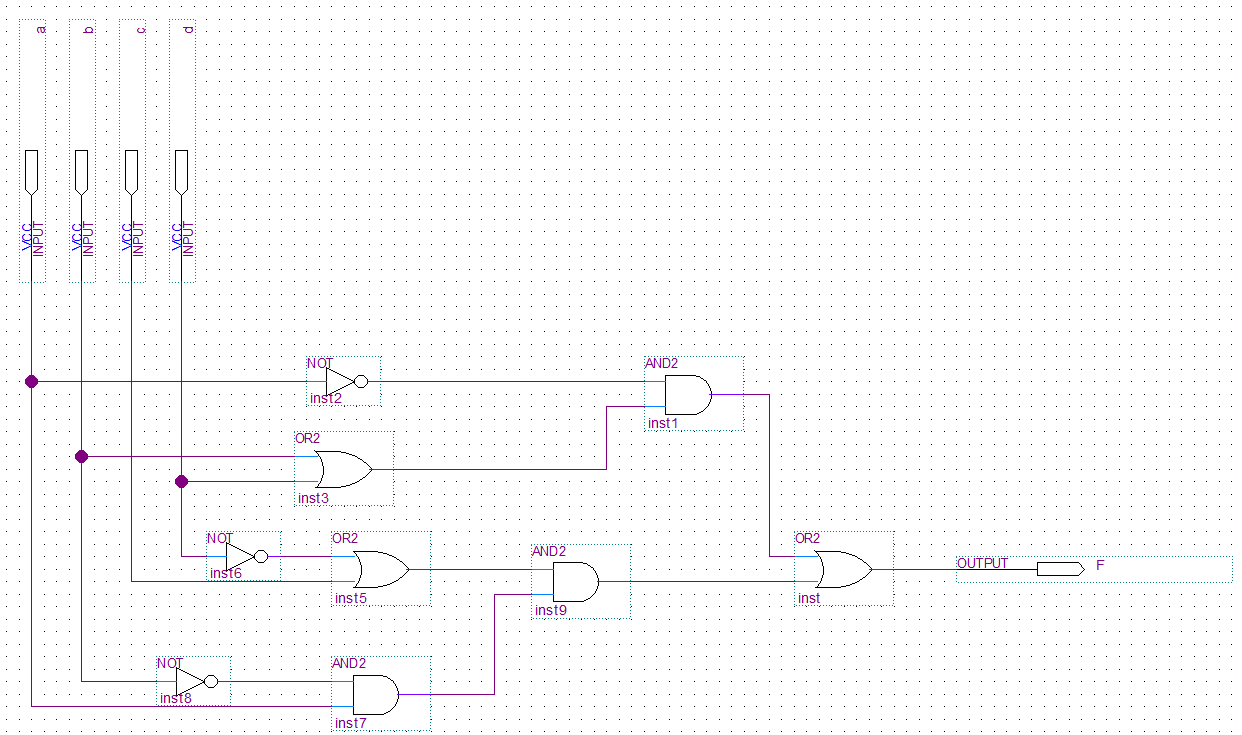


Figura 7. Circuito, conforme a Eq. 12, resultante da simplificação do circuito dado no problema 4.2.

Após a compilação e da simulação do sistema, obtemos o diagrama de temporização, conforme a Figura 8.

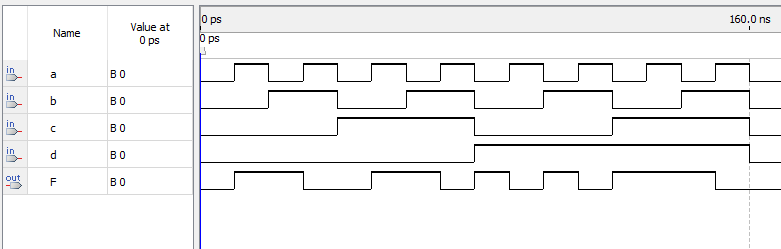


Figura 8. Diagrama de Temporização para o circuito simplificado do problema 4.2.



Nota-se, ainda, que o padrão do sinal de saída F (Figura 8) corresponde ao obtido com o circuito anteriormente não simplificado (Figura 6), de modo que se conclui que está de acordo com o esperado.

**Problema 4.3)**

Por meio do Diagrama de Temporização dado no problema, conseguimos montar a tabela verdade representada pela Tabela 4.

Tabela 5. Tabela lógica, ou tabela verdade, referente ao problema 4.3 que possui A, B e C como entradas e F como saída, obedecendo o Diagrama de Temporização.

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | C | **F** |
| 0 | 0 | 0 | **0** |
| 1 | 0 | 0 | **1** |
| 0 | 1 | 0 | **0** |
| 1 | 1 | 0 | **1** |
| 0 | 0 | 1 | **0** |
| 1 | 0 | 1 | **0** |
| 0 | 1 | 1 | **1** |
| 1 | 1 | 1 | **1** |

A partir desta tabela, conseguimos montar o mapa de Karnaugh abaixo com o intuito de simplificar a expressão algébrica lógica. A representação matemática é a Eq. 12.

Tabela 6. Mapa de Karnaugh onde as linhas representam a entrada A e as colunas representam BC, respectivamente.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **BC**    **A** | **00** | **01** | **11** | **10** |
| **0** | 0 | 0 | **1** | 0 |
| **1** | **1** | 0 | **1** | **1** |

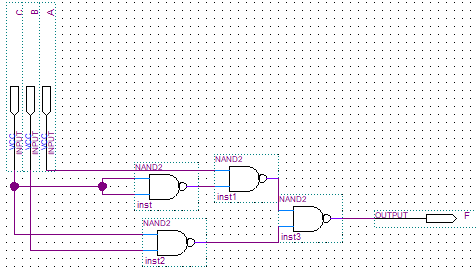
(12)

Mas como foi pedido em uma composição de apenas portas NAND de duas entradas, podemos manipular a Eq. 2, da seguinte maneira: aplicamos o operador NOT duas vezes na Eq. 12, obtendo-se a Eq. 13:

(13)  
Como e aplicando os Teoremas de De Morgan, obtemos um resultado conforme a Eq. 14.

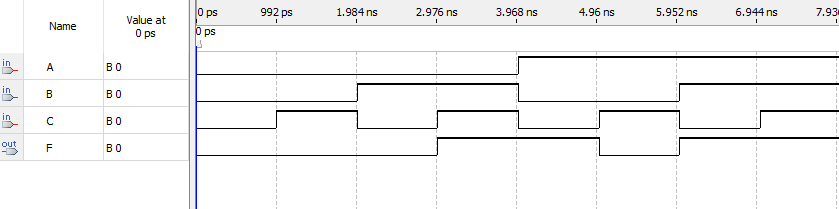
(14)

A simplificação representada na Eq. 4 é a resposta que servirá de base para a montagem do circuito digital no *software* Quartus®, dado pela Figura 9.



*Figura 9. Circuito Digital que representa os valores fornecidos na Tabela do problema 4.3.*

Após tal análise, temos o Diagrama de Temporização gerado pela simulação, dado pela Figura 10.



*Figura 10. Diagrama de Temporização obtido pela simulação do circuito apresentado.*

Ao compará-lo com o diagrama fornecido pelo problema, percebe-se que o do enunciado possuía um intervalo de deslocamento temporal, isso ocorre devido ao fato de as portas lógicas serem sistemas físicos feitos de transistores que necessitam de carregamento e descarregamento para realizar suas funções de controle de fluxo de corrente. Assim, esse intervalo de tempo intrínseco gera o intervalo temporal existente no gráfico dado, como era de se esperar. Em suma, como na simulação via *software* os componentes são considerados ideais, o *gap* observado na prática não ocorre na modelagem estudada. Na verdade, esta afirmação faz sentido, porque os circuitos digitais simulados foram os feitos com o *Functional Simulation* que simplesmente testa a lógica funcional do circuito, *i.e.*, não considera o *delay* através dos circuitos internos das portas lógicas desenhadas. Esse modo apenas mostra se os resultados idealmente estão de acordo com o que esperamos.

Por outro lado, com o *Timing Simulation*, esse *delay* associado aos elementos lógicos e às interconexões são levados em consideração de acordo com o chip FPGA selecionado. Assim, se simularmos por este último modo, teremos um *delay* inicial característico, aproximando o comportamento do sinal de saída para aquele exibido no enunciado do problema 4.3.

**Problema 4.4)**

Segue a tabela verdade para o MUX 4x1, com chaves seletoras e , e saídas (y) possíveis pertencentes ao conjunto {}, conforme a Tabela 6.

Tabela 7. Tabela verdade do MUX 4x1.

|  |  |  |
| --- | --- | --- |
|  |  | **y** |
| 0 | 0 |  |
| 0 | 1 |  |
| 1 | 0 |  |
| 1 | 1 |  |

Então, a saída y é dada pela Eq. 15.

(15)

Colocando e em evidência, ficamos com uma soma de duas parcelas. Em seguida, como e aplicando os Teoremas de De Morgan, obtemos um resultado conforme a Eq. 16.

(16)

Assim, identificando que representa o uso de um porta NAND, temos o seguinte diagrama esquemático do circuito com apenas portas NANDs, conforme a Figura 11.

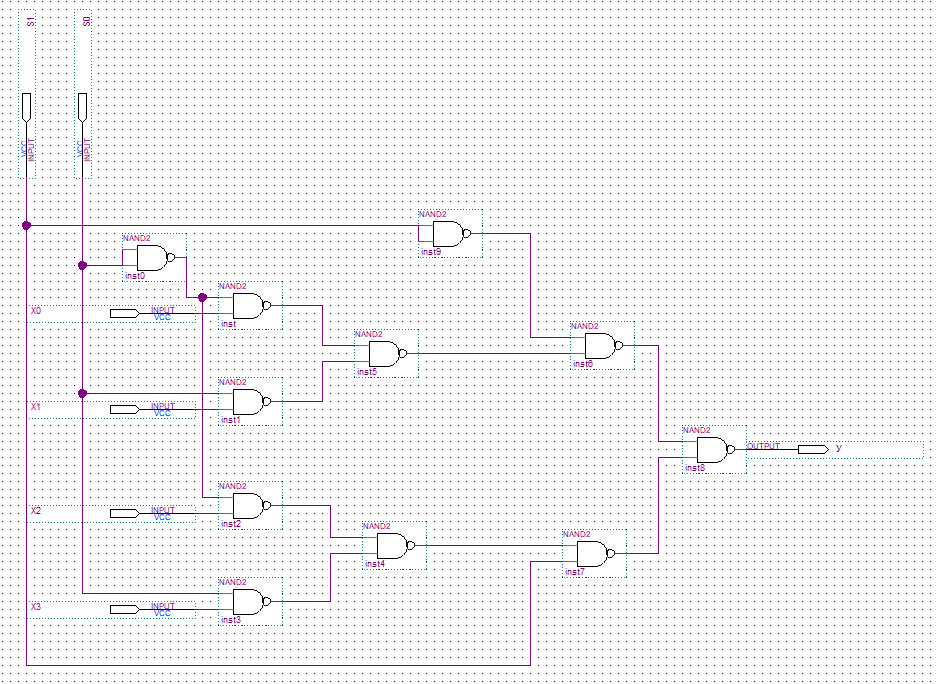


Figura 11. Circuito do multiplexador MUX 4x1 com apenas portas NAND de duas entradas.

Após a compilação e da simulação do sistema, obtemos o diagrama de temporização, conforme a Figura 12.

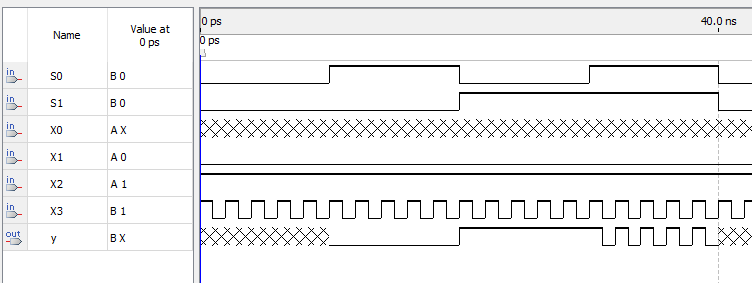


Figura 12. Diagrama temporal obtido pelo circuito representado na Figura 11.

Para diferenciar os tipos de saída, definimos X0 como valor “don’t care”, X1 como valor zero, X2 como valor 1 e X3 em alternância entre 0 e 1 com período pequeno em relação aos demais, *i.e.*, 1ns. Assim, observou-se que a saída y, de fato, corresponde aos valores dos tipos das saídas tal como representado na tabela verdade do MUX4x1, conforme a Tabela 7.

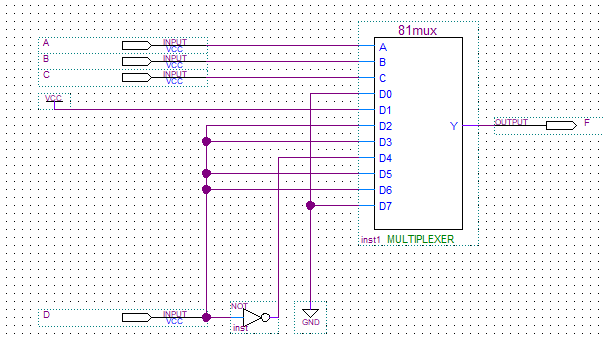
**Problema 4.5)**

De acordo com a função canônica F = ∑ (2,3,5,7,8,11,13) construímos a Tabela 8, e através de sua análise consegue-se criar o circuito lógico dado pela Figura 13.

Tabela 8. Tabela lógica, ou tabela verdade, referente ao problema 4.5 que possui A, B, C e D como entradas e F como saída, obedecendo a função canônica F = ∑ (2,3,5,7,8,11,13).

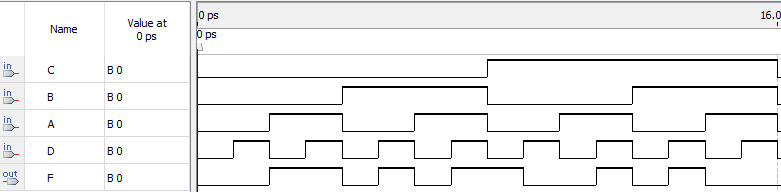
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **D** | **F** |
| 0 | 0 | 0 | 0 | **0** |
| 0 | 0 | 0 | 1 | **0** |
| 0 | 0 | 1 | 0 | **1** |
| 0 | 0 | 1 | 1 | **1** |
| 0 | 1 | 0 | 0 | **0** |
| 0 | 1 | 0 | 1 | **1** |
| 0 | 1 | 1 | 0 | **0** |
| 0 | 1 | 1 | 1 | **1** |
| 1 | 0 | 0 | 0 | **1** |
| 1 | 0 | 0 | 1 | **0** |
| 1 | 0 | 1 | 0 | **0** |
| 1 | 0 | 1 | 1 | **1** |
| 1 | 1 | 0 | 0 | **0** |
| 1 | 1 | 0 | 1 | **1** |
| 1 | 1 | 1 | 0 | **0** |
| 1 | 1 | 1 | 1 | **0** |

Conforme pedido em questão construímos o circuito digital que exprime F = ∑ (2,3,5,7,8,11,13), utilizando apenas um MUX 8x1 e uma única inversora, tomando as entradas A, B, C e D implementamos conforme a Figura 14 a seguir:



*Figura 14. Representa o circuito digital, simulado no software Quartus 13.01, expresso pela função canônica F = ∑ (2,3,5,7,8,11,13) dada pelo enunciado da questão.*

Como resultado da simulação temos o diagrama de temporização dado abaixo na Figura 15.



*Figura 15. Diagrama de temporização gerado em um período apenas no software Quartus 13.01, expresso pela função canônica F = ∑ (2,3,5,7,8,11,13) dada pelo enunciado da questão.*

Assim concluímos que o resultado obtido é de fato o esperado comparando com a tabela verdade representada pela Tabela 8 acima.

1. **Conclusão**

As atividades laboratoriais desenvolvidas bem como o aprendizado na utilização do software *Quartus*® *13.01* foram de grande importância para desenvolver os conhecimentos teóricos e práticos a respeito dos circuitos digitais, principalmente sobre o funcionamento de portas lógicas, entendimento a respeito de um multiplexador e da universalidade existente nas portas NANDs.

Do experimento realizado, foi possível, embora toda simplicidade em sua metodologia, conseguir obter resultados coerentes com a teoria de circuitos digitais. Além disso, tanto o software, quanto as técnicas aplicadas são de grande importância para o aprendizado da frente de EEA-21.